

~~ポストT2K時代のセンターマシン~~ 5年後のスーパーコンピュータ像

富士通株式会社

次世代テクニカルコンピューティング開発本部

システム開発統括部 第二開発部

安島 雄一郎

自己紹介

❏ 略歴

2002年3月 東京大学大学院工学系研究科博士課程 修了

2002年4月 株式会社富士通研究所 入社

2007年7月 富士通株式会社

❏ 研究分野

計算機アーキテクチャ

❏ 経歴

大規模データパス・プロセッサの研究

自律制御サーバの研究

Zero Copy Socket 10GbE NIC の研究

次世代スパコン向けTofuインターコネク트의研究開発

Q. 5年後設置されるマシンを設計開発しろと言われたらどうしますか？

- ❖ ExaFlops実現に向けた、挑戦的なマシンを開発する
- ❖ 目標は「演算あたり電力量の劇的な削減」

	2012年	2015年	2018年
10MWシステム性能	10 PFlops	100 PFlops	1 EFlops
演算あたり電力量	10^3 pJ/flop	10^2 pJ/flop	10^1 pJ/flop

参考: Power Wall の現実 (Top 500 リスト 2010年6月版より)

rank	System	pJ/flop	rank	System	pJ/flop	rank	System	pJ/flop
1	Jaguar	3950	5	Jugene	2747	9	Intrepid	2747
2	星云	2030	6	Pleiades	4007	10	Red Sky	5768
3	Roadrunner	2247	7	天河一号	2640	131	QPACE	1293
4	Kraken	4241	8	Blue Gene/L	4872	-	GRAPE-DR	1226

Q. どういうマシンを作りますか？

CPUを超低電圧化する

1演算あたり

システム電力量目標

2012年 10^3 pJ/flop

10%

2015年 10^2 pJ/flop

1演算あたりFPU電力量

Year	Tech (nm)	V (V)	Area (mm ²)	E/Op (pJ)	f (GHz)
2010	45	1.00	0.50	100	1.00
2013	32	0.90	0.26	72	1.38
2016	22	0.80	0.03	29	2.81
2019	16	0.70	0.02	18	4.09

Year	Tech (nm)	V (V)	Area (mm ²)	E/Op (pJ)	f (GHz)
2013	32	0.6	0.06	10.6	1.5
2016	22	0.5	0.03	5.1	1.9
2019	16	0.5	0.02	3.7	3.1

動作周波数は半減

(出典) DARPA IPTO "ExaScale Computing Study: Technology Challenges in Achieving Exascale Systems"

CPUアーキテクチャ、OS、言語

超低電圧と逐次処理速度の両立を目指す

❖ CPUアーキテクチャ: **メニー&マルチコア**

❖ メニーコア部: 超低電圧、コア数多、ローカルメモリ

❖ マルチコア部: 通常電圧、コア数少、キャッシュ一貫性

❖ OS: **ヘテロOS**

❖ メニーコア: Light Weight Kernel

❖ マルチコア: Linux

❖ 言語: **メニーコア対応データ並列**

❖ C言語/Fortran: 自動並列、OpenMP、**OpenCL**

❖ PGAS言語: ローカルメモリ間データ転送対応

その他の要素

技術動向予測より、2015年の最良技術を使用

✦ ネットワーク

- ✦ スイッチレス・トポロジー
- ✦ ラック間光伝送(100GEther技術)

✦ メモリ

- ✦ DDR4-LRDIMM、大容量TSV-DRAM

✦ ストレージ

- ✦ SSD、並列ファイルシステム、InfiniBand-SAN

✦ 通信ライブラリ

- ✦ C言語/Fortran: MPI

Q. どうやって開発を進めますか？

✦ マイルストーン: 新規CPU設計期間を考慮

✦ 2010年度		提案公募
✦ 2011年度	Phase1	概念設計
✦ 2012-13年度	Phase2	詳細設計
✦ 2014年度	Phase3	試作評価

✦ 開発体制: 競争的開発

- ✦ リスク分散のため、複数のマシンを並行開発
- ✦ Phase毎に開発主体数を絞り込む
- ✦ 開発主体は世界中から公募する
 - ✦ 開発資金も各国から集めると理想的

✦ 購入・設置・運用は、独立した別プロジェクトとする

Q. 提案するシステムあるいは開発の進め方に キャッチフレーズを考えてください

❖ 提案システム

- ❖ 超低電圧プロセッサ

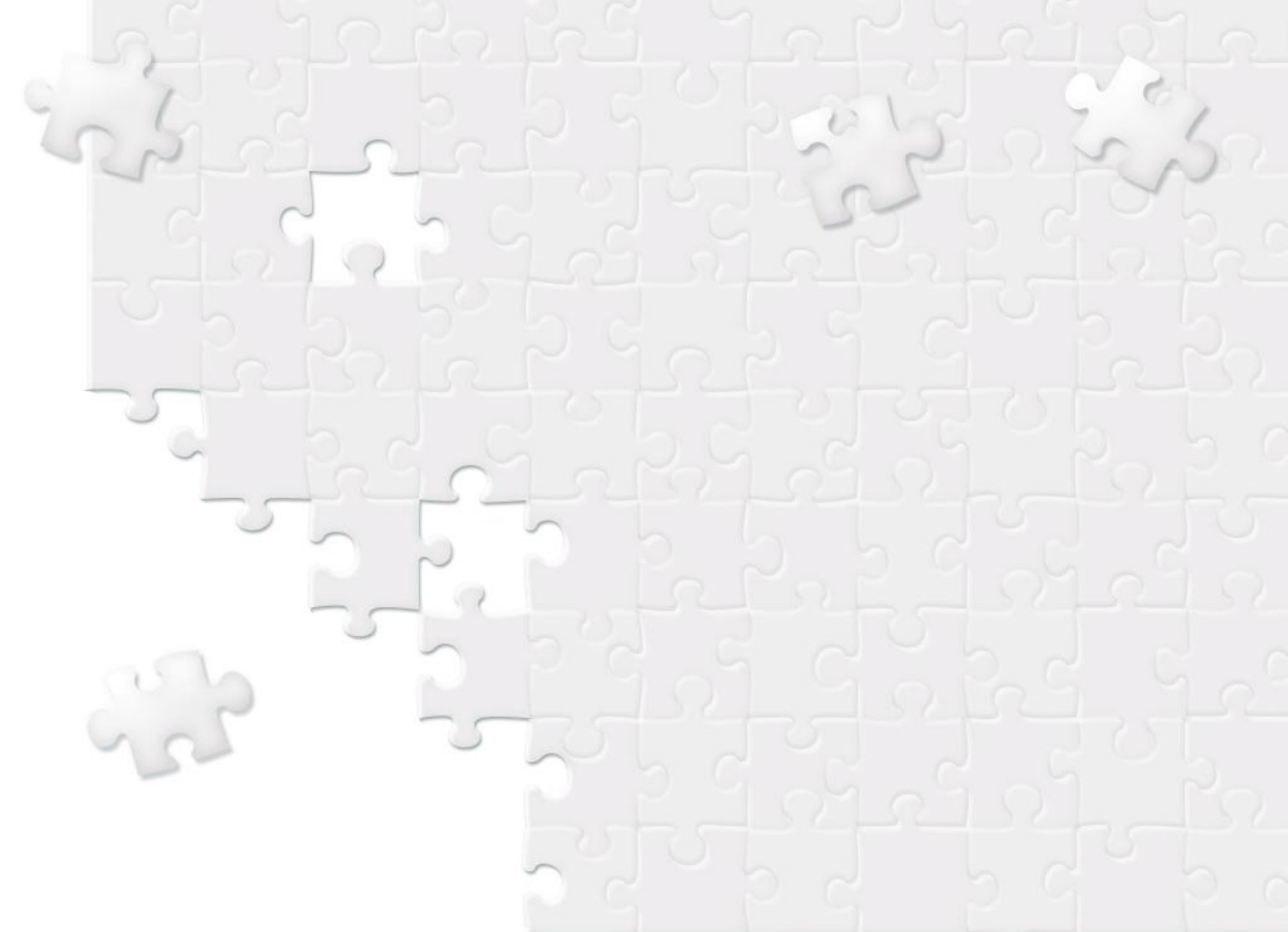
- ❖ メニー & マルチコア・アーキテクチャ

❖ 開発の進め方

- ❖ 競争的開発資金制度

Q. 10年後のマシンも開発しないといけないとしたら、どうしますか？

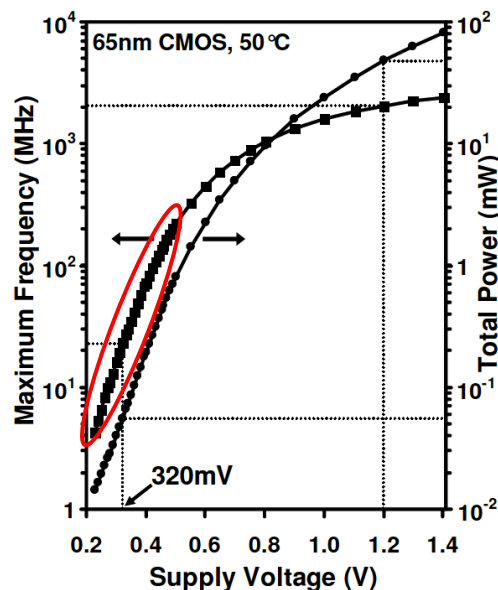
- ❖ 2020年 2.1 pJ/flop を目指す
 - ❖ 2018年 10 pJ/flop ペースから外挿
- ❖ さらなる電力削減技術に取り組む
 - ❖ 超々低電圧 (CPU)
 - ❖ 三次元積層 (メモリ)
 - ❖ シリコンフォトニクス (ネットワーク)
- ❖ シリコン以外のデバイスにも期待
 - ❖ カーボン系が有望？



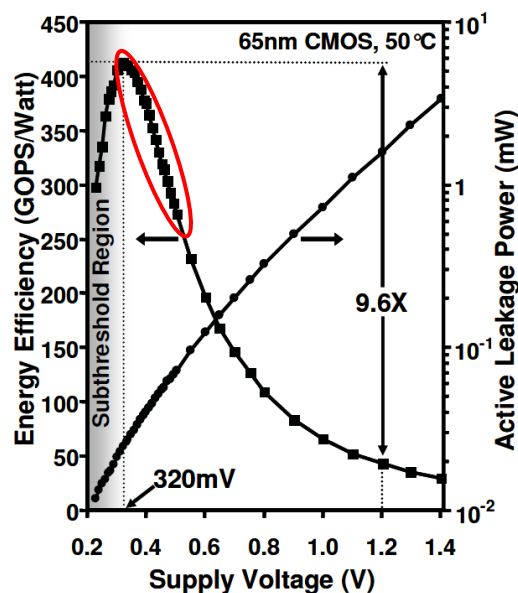
(参考)超々低電圧

❏ 電力面からの理想は

❏ 電圧 0.32~0.5V、周波数 20~200MHz



(a)



(b)

(出典) DARPA IPTO

“ExaScale Computing Study:
Technology Challenges in
Achieving Exascale Systems”

❏ Intel Single-Chip Cloud

❏ 電圧 0.55V~1.25V、周波数 60MHz~2.35GHz



Summary



- Evolutionary ExaScale designs will fail
- Significant research investment is required – **will not be funded by industry**
- New execution model is required
- Optimize design for minimize pJ/op for all operations
- Hardware support for maintaining the integrity and confidentiality of information
- New system software stack
- Self-aware system

**「有り物の改良」では、エクサを実現できない
計算モデルから考え直す必要がある**